

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-095333

(43)Date of publication of application : 19.07.1980

(51)Int.Cl.

H01L 21/58

(21)Application number : 54-002212

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.01.1979

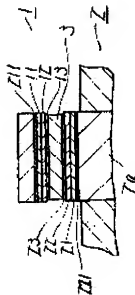
(72)Inventor : SAITO TETSUO

(54) PREPARATION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To keep a certain specified space between an element and a base without difficulty by a method wherein a brazing alloy is provided on each metal layer of one main surface of a semiconductor element and another of a base, and they are heat-pressed in such a way that the brazing alloy with a high melting temperature is sandwiched in between them.

CONSTITUTION: Ni layers 11, 21 and Sn layers 12, 22 are put one after another on the under main surface of a semiconductor element 1 and the upper surface of a base 2a, respectively. Next a brazing alloy layer 3 in the form of a plate composed of Pb-1%Sn with a melting point of 327° C is sandwiched in between these layers above. The thickness of the layer 3 is arranged so that it corresponds to a space desired. Next if heat treatment is added in a reducing atmosphere, only Sn is melted at first, and partly diffused in the Ni layer while eutectic alloys 12, 23 are produced on the boundary surface touching the layer 3, then diffused layers 211, 212 are produced. Like this, the element and the base are solidly connected, and the brazing alloy 3 with a high melting point is not melted, so that the thickness desired can be maintained.



⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭55—95333

⑯ Int. Cl.³
H 01 L 21/58

識別記号

庁内整理番号
6741—5F

⑰ 公開 昭和55年(1980)7月19日

発明の数 1
審査請求 未請求

(全 2 頁)

⑱ 半導体装置の製造方法

浦電気株式会社トランジスタ工場内

⑲ 特 願 昭54—2212

⑲ 出 願 人 東京芝浦電気株式会社

⑲ 出 願 昭54(1979)1月16日

川崎市幸区堀川町72番地

⑲ 発 明 者 斉藤鉄夫

⑲ 代 理 人 弁理士 井上一男

川崎市幸区小向東芝町1 東京芝

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

1 主面に金属層が形成された半導体素子と、少くとも素子配設面が金属にてなる半導体素子配設台床部とを夫々の金属面を対向せしめろう層を介して接合する半導体装置の製造方法において、半導体素子と半導体素子配設台床部の各金属層に第1のろう層を設ける段階と、前記第1のろう層にこれよりも高融点の第2のろう層を対接せしめる段階と、前記第1のろう層の溶融温度に加熱を施すことにより第1と第2の各ろう層間に共晶結合せしめる段階とにより半導体素子を半導体素子配設台床部に接合することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

この発明は半導体装置の製造方法にかゝり、特に半導体素子を半導体素子配設台床部に接合する改良手段を備える半導体装置の製造方法に関する。一般に半導体装置の製造において、半導体素子

を半導体素子配設台床にろう層を介して接合する工程がある。上記ろう材は熱処理にて溶融を繰り返す毎に溶融疲労を生ずる傾向にあり、このことはパワー素子などの熱抵抗増大を生じ、素子破壊に至ることもある。例えば中容量の整流素子、パワートランジスタなどにあつては半導体素子を Pb-Sn 系のはんだを介して金属ステムに還元雰囲気中で溶融して接合されるが、この溶融により前記溶融疲労の促進、脆れ性不十分によるボイドが発生する欠点、さらには半田層厚が均一にできない欠点などがある。後者の半田層厚については、所定厚を超える場合は半導体素子の発熱導出を損じ、厚い場合は半導体素子と半導体素子配設台床との熱膨張係数の差により生ずる応力(歪)を吸収できず半導体素子を破壊するに至る欠点が見られる。

この発明は上記従来の欠点に対しこれを改良する半導体装置の製造方法を提供するものである。

この発明にかかる半導体装置の製造方法は半導体素子配設台床に半導体素子をろう接するにあ

り、半導体素子配設台座の金属面と半導体素子の1主面に設けられた金属面とに第1のろう層を被着して対向せしめ、前記第1のろう層はこれよりも溶融温度が高く所定厚になる第2のろう層を対接せしめて、第1のろう層の溶融温度に加熱を施すことにより接合を達成するものである。

次にこの発明を一実施例の半導体装置の製造方法につき図面を参照して詳細に説明する。第1図はろう接合の半導体素子(1)とスタム(2)とを対向せしめた状態を断面図示するもので、半導体素子の1主面(半導体素子配設台座と対向する主面、図の下側主面)とスタムの素子配設台座部(2a)の主面(図の上側主面)には夫々ニッケル層11およびその上に低融点ろう材としてSn層12がめつきまたは溶射法などにより1~5μ形成されている。次に第2図に示す如く則て両者を高融点のろう材層3を介して突き合わせる。このろう材層3は一例としてPb-15Snにて融点327℃になり板状にプラフォームされてなるものを用いる。そしてその層厚を半導体素子と半導体素子配設台座との間

隔に所望されるものとほぼ一致せしめて形成する。すなわち、一例のダイオードキバワートランジスタの素子にて上記間隔が40~60μに所望されるものは容易に達成される。次に還元性雰囲気中にて一料として280℃にて熟処理を施すことにより上記低融点のろう材のSnのみが最初に融けはじめ、高融点はんだ層の境界部分に第3図に示す如き共晶合金層212を形成するとともにニッケル層11の一部拡散し、拡散層(211)(221)を形成することによって半導体素子および半導体素子配設台座との接合が強化される。上記状態で図着を達成した場合、高融点のろう材層は溶融せず初期の板厚を保った状態にあることになる。

なお、この発明は上記実施例に依られることなく、たとえば低融点ろう材にSn-Pb(Sn)Pbのはんだ)、高融点ろう材にSn-1~5%とPbのはんだなど自由に組み合わせて好適する。

この発明によれば特に半導体素子と半導体素子配設台座との間隔が指定される半導体装置の製造を容易にするとともに組織視察、初期抵抗変動、

(3)

(4)

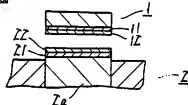
半導体素子の破壊などを防止する顕著な利点がある。

4. 図面の簡単な説明

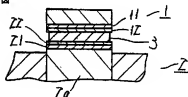
第1図ないし第3図はいずれもこの発明の一実施例の半導体装置の製造方法を説明するための工程順に示す半導体素子の断面図である。

- 1 半導体素子
- 2a (スタム)の半導体素子配設台座部
- 3 高融点のろう材層
- 11 半導体素子のニッケル層
- 12 半導体素子のSn層
- 21 半導体素子配設台座のニッケル層
- 22 半導体素子配設台座のSn層
- 13, 23 共晶合金層
- 211, 221 拡散層

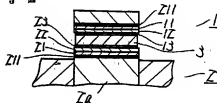
第 1 図



第 2 図



第 3 図



代理人 井上 井 上 一 男

(5)